

결 과 보 고 서

과제명: 청각 장애인을 위한 진동 MP3 플레이어

팀 명:

전남대학교 IDEC 2023 스마트전자회로설계 챌린지

목 차

1. 설계 작품

2. 작품 소개

3. 작품 재료

4. 작동 원리

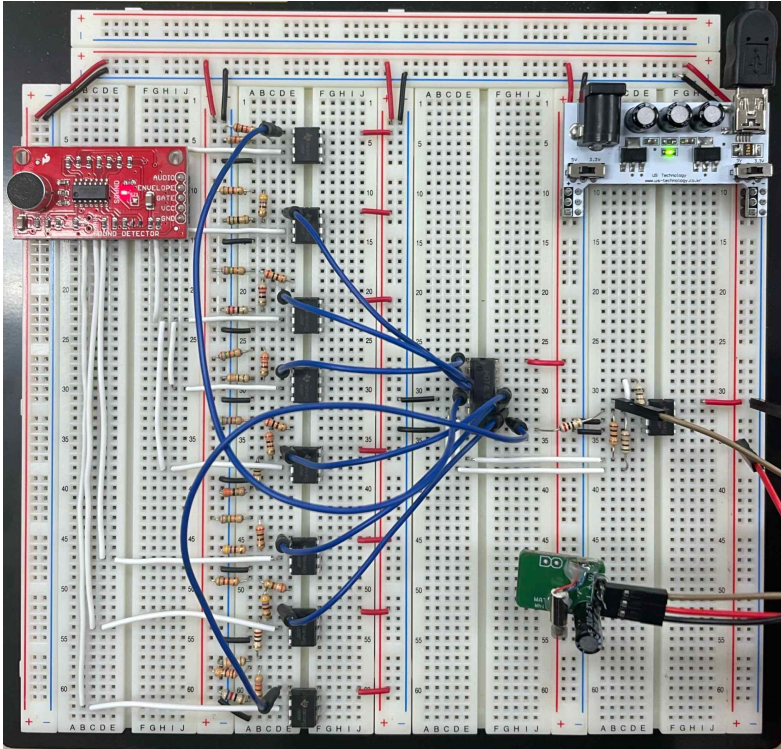
5. 회로도 및 시뮬레이션

- 1) 비교기 회로도 및 PSpice 시뮬레이션
- 2) 8-to-3 priority encoder 회로도 및 Logisim 시뮬레이션
- 3) DAC 회로도 및 PSIM 시뮬레이션

6. 결과

1. 설계 작품

청각 장애인을 위한 진동 MP3 플레이어



2. 작품 소개

인간은 감정의 이해, 공유, 표현 등 인간만의 독자적인 행위를 할 수 있다. 하지만 때로는 이러한 행위에 제한을 받는 사람이 있을 수 있다.

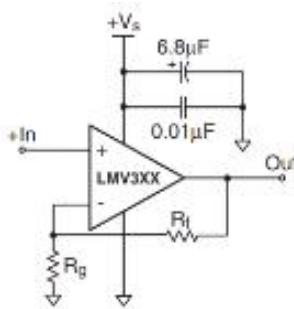
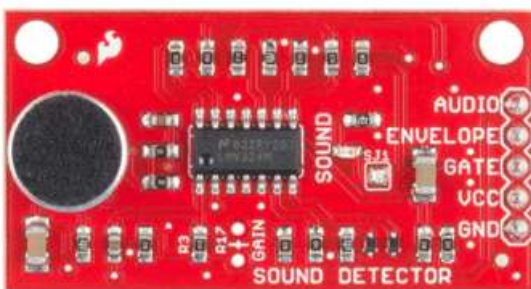
가령, 청각 장애인은 소리를 제대로 듣지 못하여 음악을 진동이나 박자로 느낀다고 한다. 그들이 자신의 기분에 맞는 음악을 듣고 느낄 수 있도록 돕기 위해 해당 작품을 설계하게 되었다.

3. 작품 재료

- 소리 감지 센서 SEN-14262
- 비교기 op-amp LM358P
- 8-to-3 priority encoder SN74LS148
- Digital to Analog Converter(DAC) LM358P
- 파워 서플라이
- 멀티미터
- 10 ~ 1kΩ 저항

4. 작동 원리

- 음악을 재생하면 음악이 소리 감지 센서에 analog 신호로 전달된다.

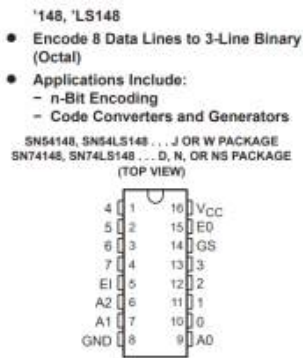


: 소리 감지 센서 SEN-14262

ii. 음악에 따라 진동의 세기를 달리할 8개의 기준 전압(V_{REF})을 나눈다. 음악을 직접 재생하며 소리 감지 센서의 전압값을 측정한 결과 최소 0.04V, 최대 0.3V가 측정되어 0.04에서 0.3V 구간을 8개로 나누어 기준 전압을 설정한다. 기준 전압 계산은 Voltage divider rule을 이용하여 구한다. 아래 그림의 V_{in} 단자에는 소리 감지 센서의 출력을 연결한다.

비교기 회로도	op-amp 소자 LM358P		$R1(\Omega)$	$R2(\Omega)$	$V_{REF}(V)$
		C0	1k	8.2	0.04
		C1	980	15	0.077
		C2	977	22	0.114
		C3	970	33	0.151
		C4	960	38.1	0.188
		C5	950	47	0.225
		C6	947	53	0.262
		C7	940	62	0.299

iii. 비교기의 출력을 8-to-3 priority encoder의 각 입력에 연결하고 EI(Enable Input) pin에 Low 신호를 인가하여 LLL부터 HHH까지 3bit 신호를 출력한다.

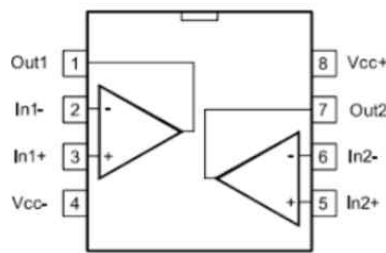
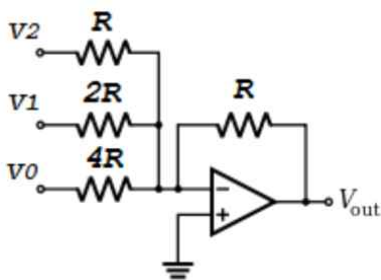


FUNCTION TABLE - '148, 'LS148

EI	INPUTS								OUTPUTS				
	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	L	H	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

H = high logic level, L = low logic level, X = irrelevant

iv. Op-amp 소자를 이용하여 digital 신호를 analog 신호로 바꾸는 DAC 회로를 구현한다. 저항은 50Ω을 사용하여 V_2 , V_1 , V_0 에 각각 50Ω, 100Ω, 200Ω 저항을 연결한다.

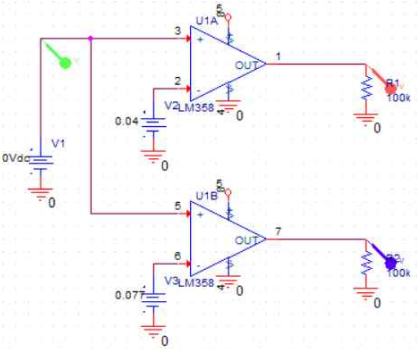
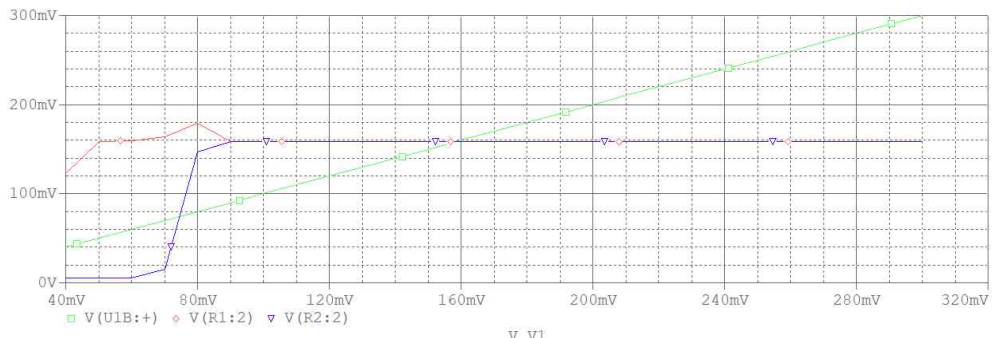
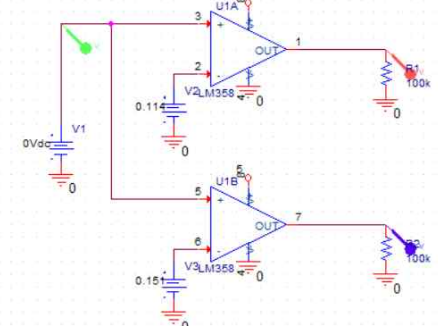
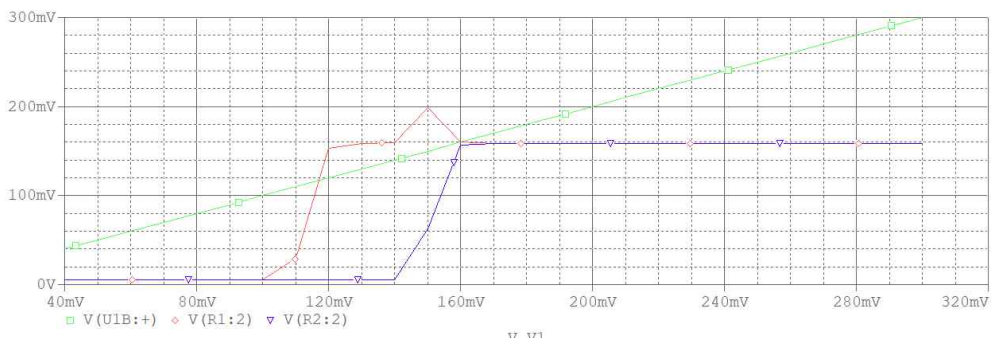


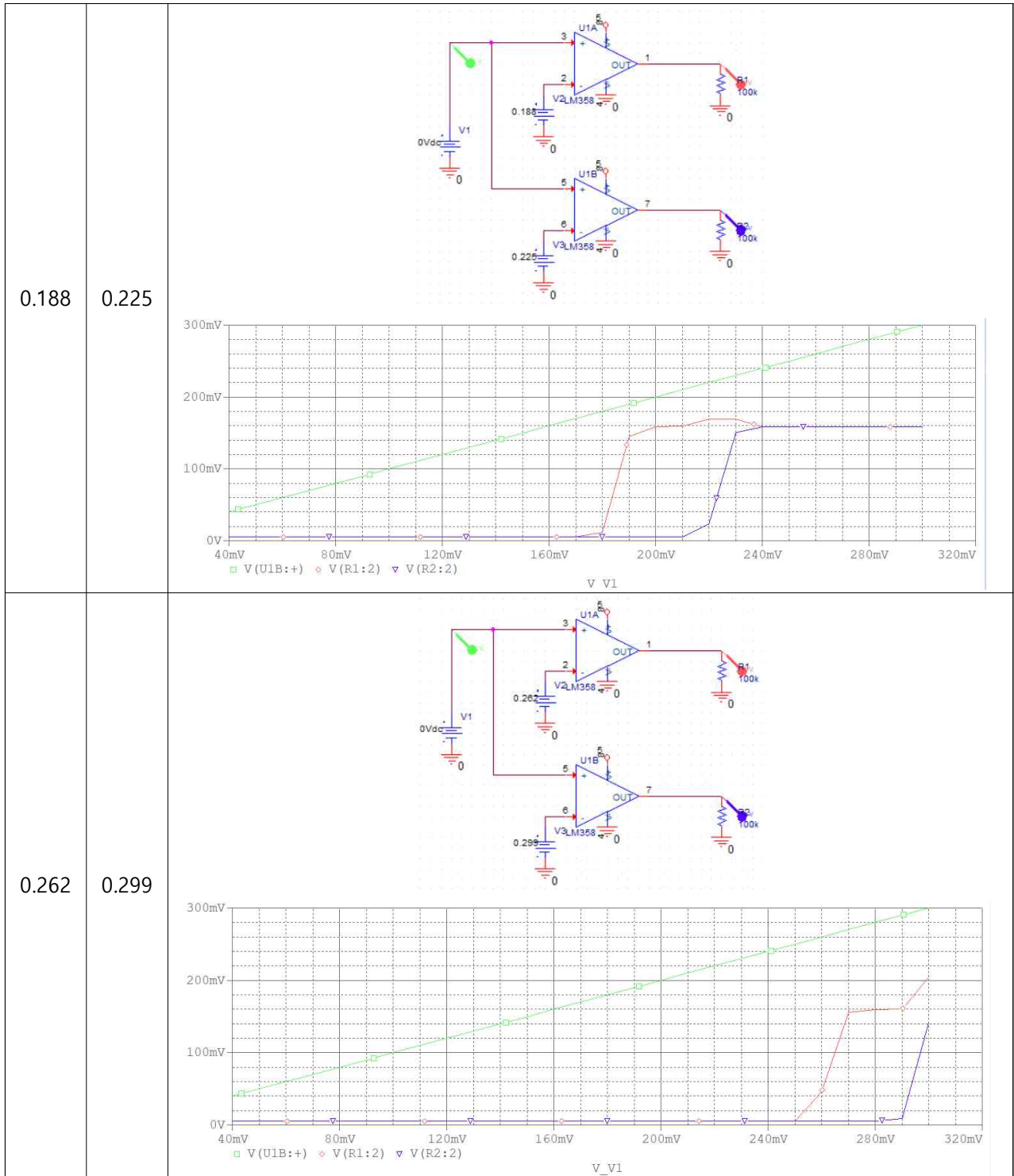
v. 마지막으로 DAC 회로의 출력에 진동 모듈을 연결하면 변환된 analog 신호가 전달되어 음악에 따라 진동 세기가 달라지는 진동 MP3 플레이어 구현할 수 있다.



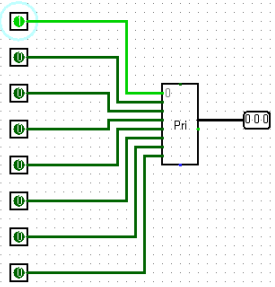
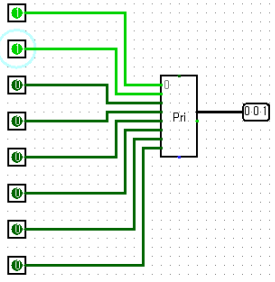
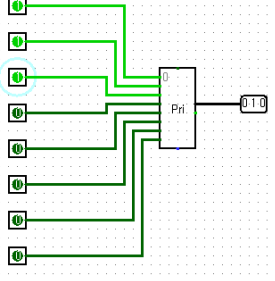
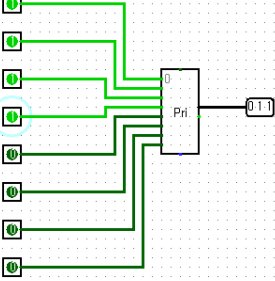
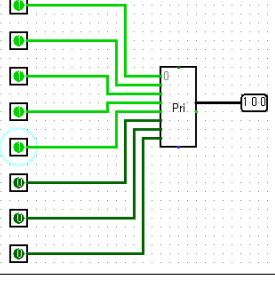
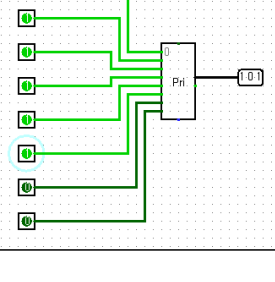
5. 회로도 및 시뮬레이션

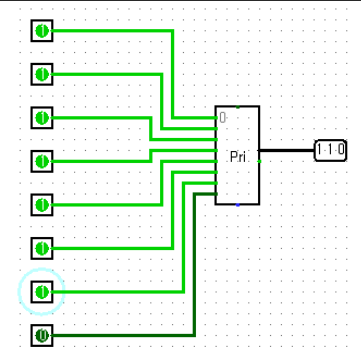
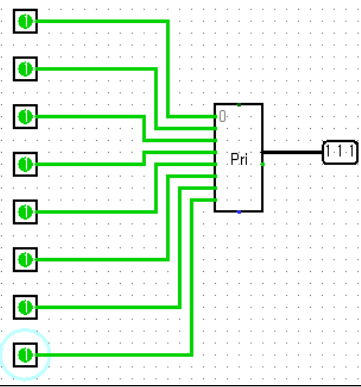
1) 비교기 회로도 및 PSpice 시뮬레이션

입력		회로도 및 PSpice 시뮬레이션
V2	V3	
0.04	0.077	 
0.114	0.151	 

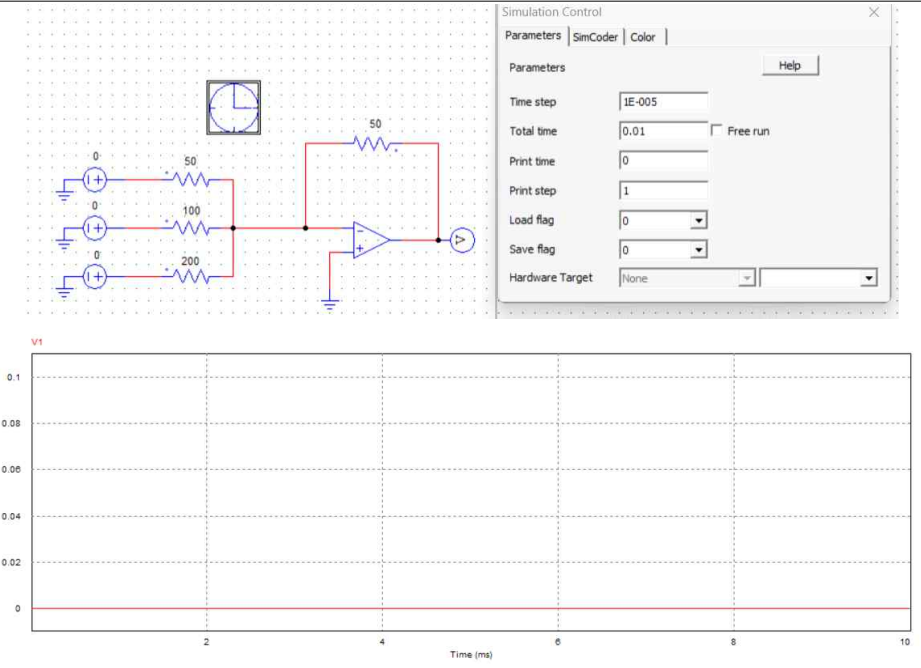
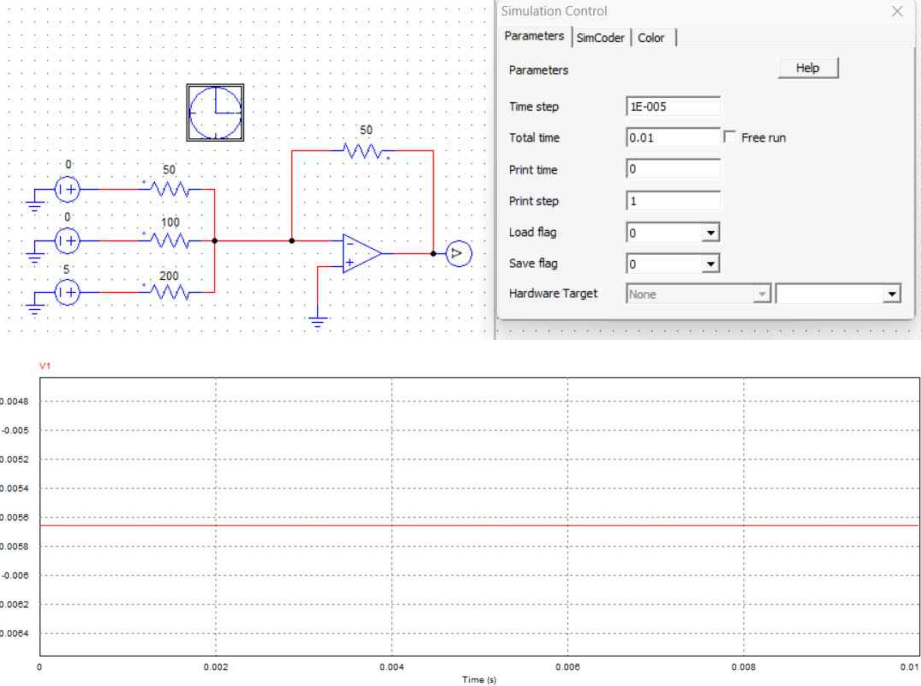


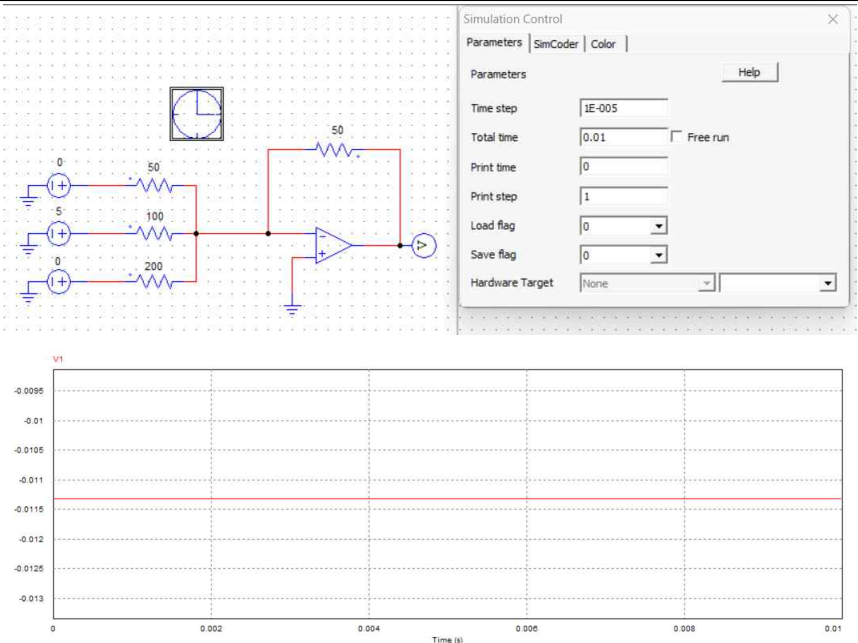
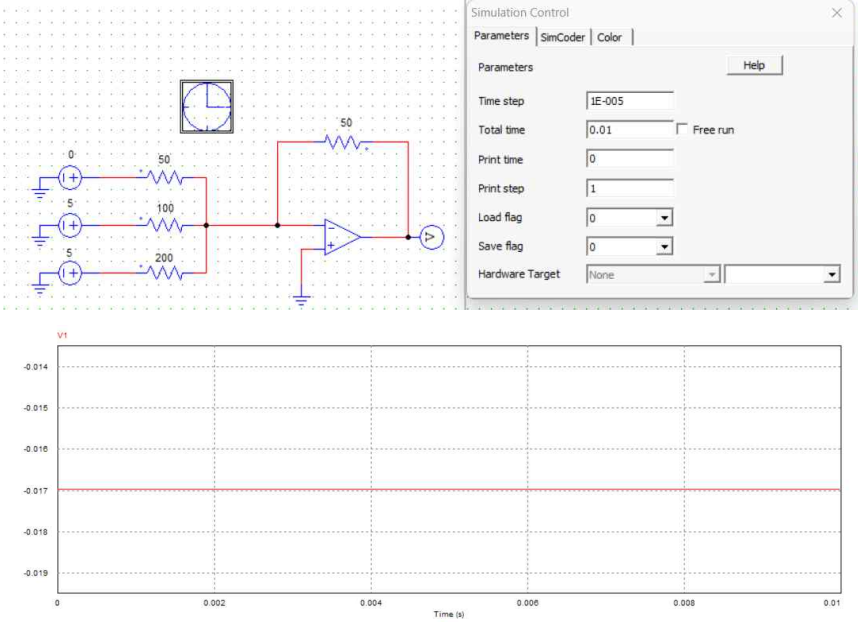
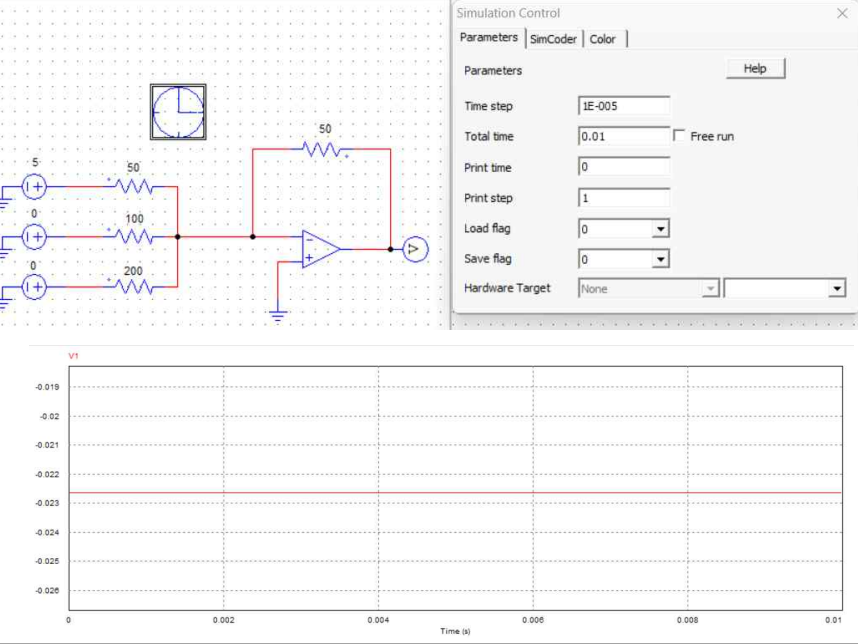
2) 8-to-3 priority encoder 회로도 및 Logisim 시뮬레이션

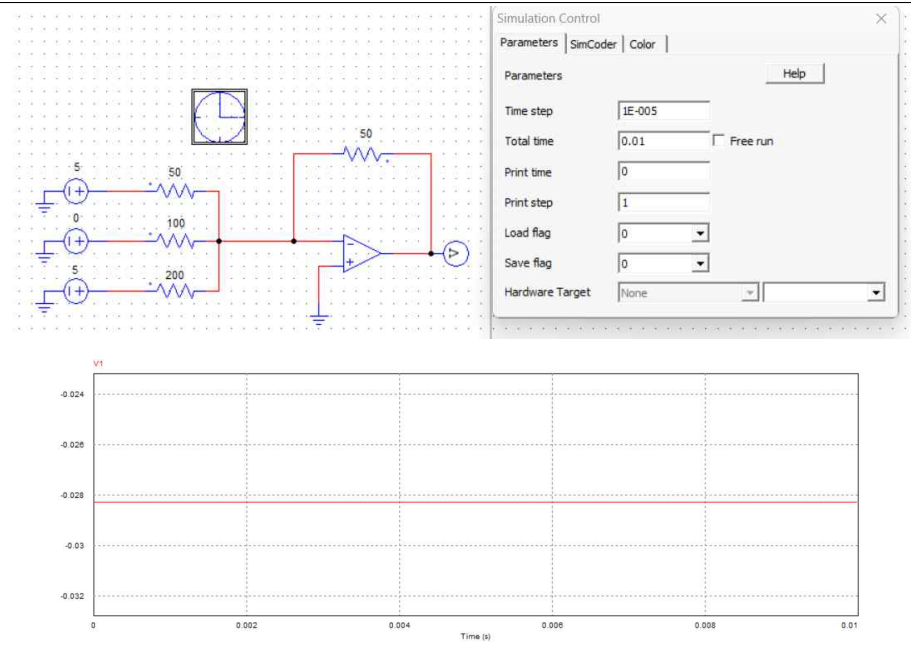
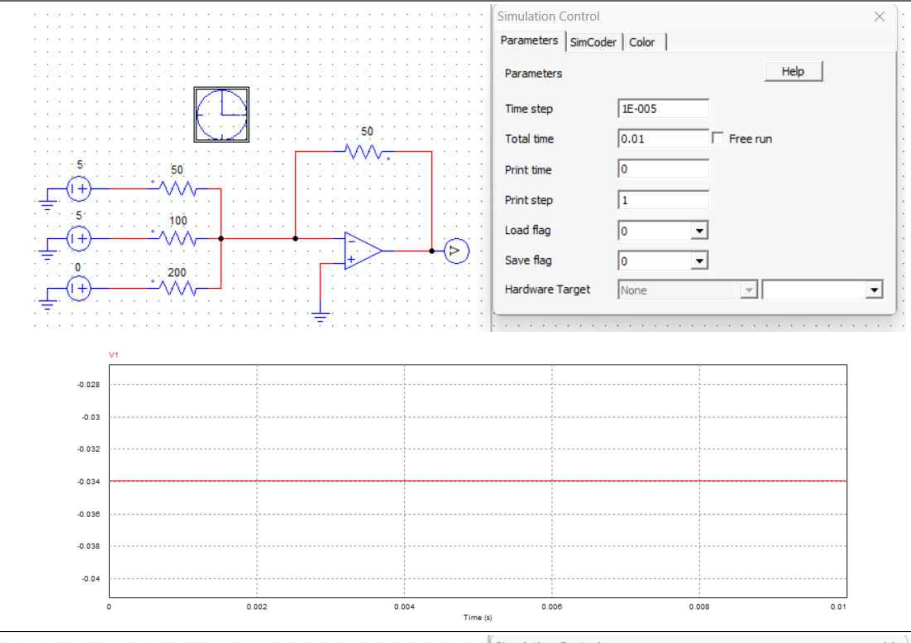
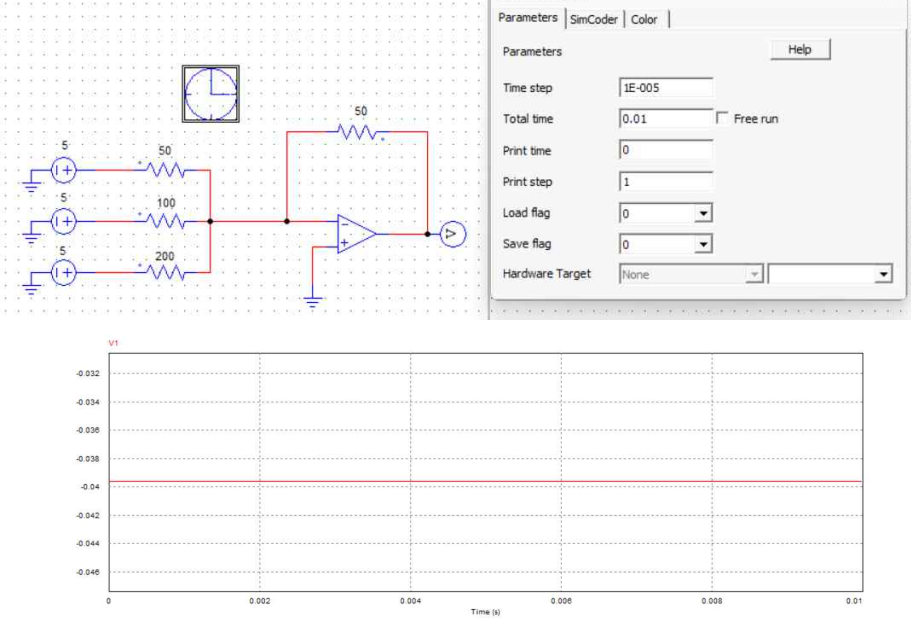
신호			Logisim 시뮬레이션
L	L	L	
L	L	H	
L	H	L	
L	H	H	
H	L	L	
H	L	H	

H	H	L	 <p>A circuit diagram on a grid background. It features eight green circular input buttons on the left. The top seven buttons are connected to the inputs of a 7-input priority encoder block labeled 'Pri.'. The eighth button, at the bottom, is highlighted with a light blue circle and is not connected. The 'Pri.' block has a single output line on the right, which is connected to a 3-bit digital display showing the value '110'.</p>
H	H	H	 <p>A circuit diagram on a grid background, identical in structure to the one above. It features eight green circular input buttons on the left. All eight buttons are connected to the inputs of a 7-input priority encoder block labeled 'Pri.'. The bottom button is highlighted with a light blue circle. The 'Pri.' block has a single output line on the right, which is connected to a 3-bit digital display showing the value '111'.</p>

3) DAC 회로도 및 PSIM 시뮬레이션

입력신호			회로도 및 PSIM 시뮬레이션
L	L	L	 <p>The circuit diagram shows a DAC with three input resistors (50Ω, 100Ω, 200Ω) connected to a summing junction. The inputs are labeled 0, 0, and 0. The output is connected to a 50Ω load resistor. The simulation control window shows parameters: Time step: 1E-005, Total time: 0.01, Print time: 0, Print step: 1, Load flag: 0, Save flag: 0, Hardware Target: None. The waveform plot shows the output voltage V1 over time (ms) from 0 to 10 ms, with the voltage remaining at 0.</p>
L	L	H	 <p>The circuit diagram shows the same DAC circuit, but the third input is labeled 5, indicating a high input. The simulation control window shows the same parameters as the first case. The waveform plot shows the output voltage V1 over time (s) from 0 to 0.01 s, with the voltage remaining at approximately -0.0056 V.</p>

L	H	L	 <p>The circuit diagram shows a 5V DC source connected to a 50Ω resistor in series with a parallel combination of a 100Ω resistor and a 200Ω resistor. The output of the parallel network is connected to the non-inverting input of an op-amp configured as a voltage follower. The op-amp's output is connected to a 50Ω load resistor. The simulation control window shows a time step of 1E-005, total time of 0.01, and 'Free run' mode. The plot of V1 (voltage across the 50Ω load) shows a steady-state value of approximately -0.0115V over a time range from 0 to 0.01s.</p>
L	H	H	 <p>The circuit diagram is identical to the first one, but the output of the op-amp is connected to a 50Ω load resistor. The simulation control window shows a time step of 1E-005, total time of 0.01, and 'Free run' mode. The plot of V1 (voltage across the 50Ω load) shows a steady-state value of approximately -0.017V over a time range from 0 to 0.01s.</p>
H	L	L	 <p>The circuit diagram shows a 5V DC source connected to a 50Ω resistor in series with a parallel combination of a 100Ω resistor and a 200Ω resistor. The output of the parallel network is connected to the non-inverting input of an op-amp configured as a voltage follower. The op-amp's output is connected to a 50Ω load resistor. The simulation control window shows a time step of 1E-005, total time of 0.01, and 'Free run' mode. The plot of V1 (voltage across the 50Ω load) shows a steady-state value of approximately -0.023V over a time range from 0 to 0.01s.</p>

H	L	H	 <p>The circuit diagram shows three 5V DC voltage sources in series, connected to a 50Ω resistor, a 100Ω resistor, and a 200Ω resistor. The output of the 200Ω resistor is connected to the non-inverting input of an op-amp. The op-amp is configured as a voltage follower. The simulation results show a constant output voltage of approximately -0.028V over a time range from 0 to 0.01s.</p>
H	H	L	 <p>The circuit diagram is identical to the first one. The simulation results show a constant output voltage of approximately -0.034V over a time range from 0 to 0.01s.</p>
H	H	H	 <p>The circuit diagram is identical to the first one. The simulation results show a constant output voltage of approximately -0.040V over a time range from 0 to 0.01s.</p>

6. 결과

이론적으로 설계한 회로가 실제와 유사하게 구현되어 성공적인 작품을 설계할 수 있었다. 작품 설계 첫 실험에서 회로를 보다 직관적이고 간단하게 구성하기 위해 비교기를 사용하지 않고 소리 감지 센서에서 출력되는 전압을 증폭하여 바로 DAC 소자에 연결하려 하였다. 출력 전압 측정 결과 전압값이 예상대로 출력되지 않아 팀원들과 문제의 원인을 탐구하던 중, 직류 전압은 op-amp로 증폭할 수 없다는 것을 알게 되었다. 따라서 비교기를 사용한 회로로 재설계하여 작품을 완성하였다.

실험을 진행하는 과정에서 1bit의 비교기를 8개 설치하여 총 8개의 1bit 신호를 priority encoder에 입력시켜 3bit의 신호로 출력하는 과정이 매우 흥미로웠다. 비교기를 ADC로 사용하여 원하는 신호를 만들어내고 다시 DAC를 통해 진동 모듈에 연결하여 진동 MP3를 설계하였다. 음악에 맞춰 LLL부터 HHH까지 총 8개의 단계로 진동하는 진동 MP3 회로의 구현 과정을 통해 전기 신호의 전달과 입출력 특성에 대한 이해도를 높일 수 있었다.